

引用格式:薛金鑫,马崇鹤,周磊,等. 4GS/s—12bit ADC 内置数字下变频器(DDC)的 ASIC 实现[J]. 微电子学与计算机,2019, 36(1):85-89. [XUE J X, MA C H, ZHOU L, et al. ASIC Implementation of Digital Down Converter Built in 4GS/s-12bit ADC[J]. Microelectronics & Computer,2019,36(1):85-89.]

4GS/s-12bit ADC 内置数字下变频器(DDC)的 ASIC 实现

薛金鑫^{1,2},马崇鹤^{1,2},周磊^{1,2},吴旦昱^{1,2},武锦^{1,2}

(1 中国科学院微电子研究所,北京 100029;2 中国科学院大学,北京 100049)

摘 要: 本文提出了一种适合 ASIC 实现的可编程的数字下变频器(DDC)设计方法,该 DDC 嵌入于 4GS/s-12bit ADC 中,能够处理频率为 4GHz 的输入信号,并提供抽取因子分别为 4、8、16、32 的降采样功能. 设计的 DDC 由一个基于 CORDIC 算法实现的数控振荡器(NCO)和一个全带通滤波器(HB-FIR)级联结构的抽取滤波器组组成. 优化带通滤波器系数和各级数据精度,提出多种改进结构优化设计,有效减少硬件开销. 基于 40 nm CMOS 工艺,完成数字下变频器的前端设计和后端实现,并进行了流片. 仿真结果显示,该设计可以在 500 MHz 的工作时钟频率下达到设计目标,抽取因子为 4 模式下,最大无衰减通带带宽可达 420 MHz,版图面积 $1550 \times 650 \mu\text{m}^2$,0.9 V 工作电压,功耗为 180.69 mW. 验证了该设计方法适合于高速高精度数字信号的 2n 下变频.

关键词: 数字下变频器;数控振荡器;40 nm;ASIC

中图分类号: TN911;TN492

文献标识码: A

文章编号: 1000—7180(2019)01—0085—05

ASIC Implementation of Digital Down Converter Built in 4 GS/s-12 bit ADC

XUE Jin-xin^{1,2},MA Chong-he^{1,2},ZHOU Lei^{1,2},
WU Dan-yu^{1,2},WU Jin^{1,2}

(1 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China;

2 University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: This paper proposes a programmable digital downconverter (DDC) design method for ASIC implementation. The DDC is embedded in a 4GS/s-12bit ADC and is capable of processing input signals at a frequency of 4GHz and provides extraction factors of 4 Downsampling function for 8, 16, 16 and 32. The designed DDC consists of a numerically controlled oscillator based on the CORDIC algorithm and a decimation filter bank implemented by a full HB-FIR filter. According to the HB-FIR filter coefficient characteristics and spectral response characteristics, a variety of improved structural optimization designs are proposed in hardware implementation, reducing the area by about 50%. Based on the 40nm CMOS process, digital front-end and back-end implementations of the digital downconverter were completed and taped out. The simulation results show that the design can achieve the design goals at a working clock frequency of 500 MHz. The layout area is $1550 \times 650 \mu\text{m}^2$, and the operating voltage is 0.9 V. The power consumption is 180.69 mW. It is verified that the design method is suitable for 2ⁿ down conversion of high-speed and high-precision digital signals.

Key words: DDC;NCO;40 nm;ASIC

1 引言

4G 通信已经发展成熟,但其传输速率存在瓶颈,始终难以超过 75 Mbps. 国际标准组织和主流运营商早已将产业发展重心聚焦到 5G 通信,5G 通信理论传输速度峰值可达数十 Gbps,比 4G 通信的传输速度快数百倍. 5G 通信要求模数转换器(ADC)具有更高的指标:必须同时满足高采样速率和高分辨率. 高频高采样率 ADC 的输出数据量,超出基带数字信号处理器的处理能力. 所以必须设计高性能、低功耗的数字下变频器解决该矛盾. 典型无线接收机如图 1 所示,按信号所在频域主要分为射频、中频和基带信号三步骤工作. 首先,通过天线接收无线传输的射频信号,射频放大器补偿传输损失;然后,模拟混频器将信号从射频混频到中频,模数转换器(ADC)将模拟中频信号采样为离散数字中频信号;最后,数字域混频至基带,通过一系列滤波器对高速基带信号进行抽取、滤波、降频操作,将高速中频信号转化为适合 DSP(数字信号处理器)处理的低速基带信号. 信号从高速中频到低速基带的转化,都是在同一个单元中完成,这个单元就是数字下变频器(DDC)^[1].

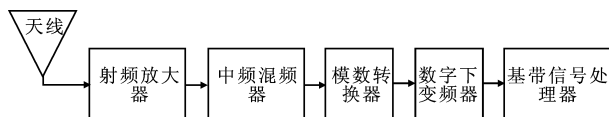


图 1 典型无线接收机

由于数字域进行的信号处理具有更高的处理速度、更高精度和更高的信噪比增益,我们倾向于将信号处理部分都在数字域完成,将模数转换器(ADC)向天线靠拢,将射频连续信号直接采样为射频数字离散信号,这就对模数转换器(ADC)和数字下变频器(DDC)的采样率和高精度提出了更高的要求,如图 2 所示本文研究了各种数字下变频器结构设计方法,提出了一种将数字下变频器(DDC)嵌入于高速高精度 ADC 中的 ASIC 设计实现方法,基于 40 nm 工艺实现了数字下变频器 GDSII 版图设计. 与现有实现方案相比,从整体上提高了系统的信噪比增益、降低了设计的复杂度、降低资源消耗、同时也降低了整体功耗.

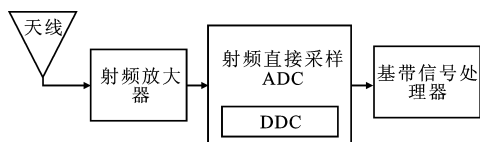


图 2 5G 通信无线接收机

2 数字下变频器设计方案讨论

数字下变频器主要由三部分组成:包括数控振荡器(NCO)、混频器和抽取滤波器组,如图 3 所示.

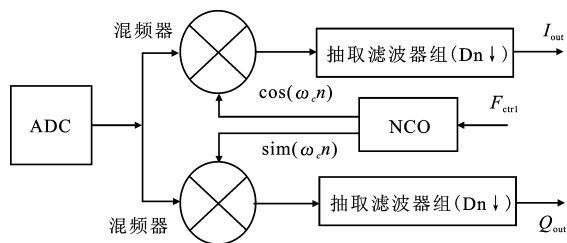


图 3 数字下变频器模块图

2.1 数控振荡器

文献[2]采用 ROM 查找表法实现数控振荡器,结构简单、准确度高,但是存在速度瓶颈,消耗资源多. 文献[3,4]采用 CORDIC 算法实现数控振荡器,仅包含加减法和移位运算,运行速度快,但信号采样率受到运行时钟限制. 本文对 CORDIC 算法进行改进,提出一种时域交织技术,实现较高采样率的数控振荡器.

2.2 抽取滤波器组

文献[5,6]采用“CIC+HB+FIR”实现抽取滤波器组,该结构由于使用 CIC 滤波器,会存在通频带衰减、通带波纹数多、阻带衰减不理想的缺点. 文献[7]采用“FIR+FIR+FIR”结构实现抽取滤波器组,该结构不存在通带衰减,具有较好的频率响应和较高的信噪比增益. 然而,FIR 滤波器在实现较高抽取因子时,消耗资源较多,成本较高. 考虑到以上方案的不足,本文根据时分复用技术对 HB 滤波器结构和整体设计结构进行优化,提出了一种全“HB+HB+HB”的实现方案,在提高滤波器组性能的同时减少了资源消耗.

3 数字下变频器结构设计

3.1 CORDIC 算法实现数控振荡器

数控振荡器(NCO)也叫直接数字频率合成器(DDS),是一种以数字信号处理理论为基础,从相位概念出发,在数字域直接合成指定频率正弦波的本振信号发生器^[1].

CORDIC(Coordinate Rotation Digital Computer)算法的基本思想是:对于任意输入角度 θ ,通过一组预先定义的基本角度集 $\{\theta_i\}$ 的逐次旋转,将初始向量 $A(X_0, Y_0)$ 旋转逼近期望角度 θ ,同时求得期望角度 θ 对应的正、余弦值 $B(X_1, Y_1)$,结合相位累加器,在每个

时钟周期产生相应相位的角度,就可以实时输出指定频率的正弦、余弦信号.设计的数字下变频器嵌入于 4 GS/s-12 bit ADC 中实现,因此需要数控振荡器能产生采样率 4 GHz,输出 0~2 GHz 带宽的本地正弦信号,直接与 ADC 采样的输出信号混频.本文提出了一种 8 路时域交织技术,将 4G 采样率的数控振荡器在 500 MHz 工作时钟下完成,频率分辨率达到 10^{-5} ,无杂散动态范围达 92.77 dB.

3.2 抽取滤波器组

3.2.1 单级 HB 滤波器设计

HB 滤波器是一种特殊的 FIR 滤波器,系数为奇数项,除中心点外,所有偶数项系数全为 0,所有奇数项系数呈中心对称.因此,在硬件实现 HB-FIR 滤波器时,选择折叠结构,调整乘加顺序,实现 n 阶 HB-FIR 滤波器仅需 $1/4 \times (n+5)$ 个乘法器, $1/2 \times (n+3)$ 个加法器,这对于高速数字信号处理器硬件设计非常具有吸引力, n 阶 HB-FIR 滤波器实现结构如图 4 所示.图中加法树可以根据不同阶数 HB-FIR 滤波器的系数特征,选择适当的流水线结构实现,各系数之间数量级相差较多,这里选择牺牲面积换取速度的方案.

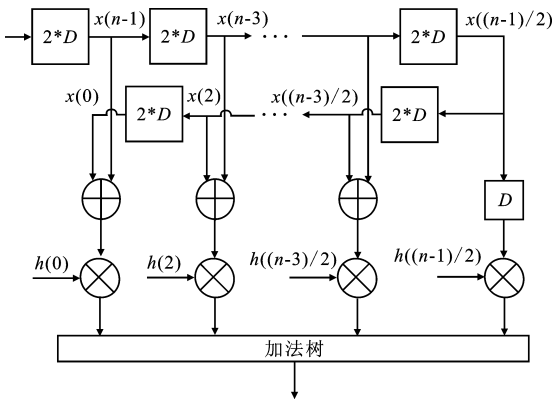


图 4 折叠 n 阶 HB-FIR 滤波器

3.2.2 滤波器组设计

本文使用 MATLAB 滤波器分析工具 FDA tool 和 Advanced Design System 设计 HB 滤波器和级联结构.选取 HB-FIR 滤波器阶数为 7、11、15、19、55,可以实现抽取因子分别为 4、8、16、32 的数字下变频器.各阶 HB-FIR 滤波器频谱如图 5 所示.

由于 FDA tool 设计的滤波器系数为浮点数,频谱图较为理想.但是硬件实现浮点数滤波器需要消耗大量的资源,一般选择定点数实现,定点数与浮点数不同,存在截位误差,定点数程序设计会降低滤波器的性能和精度,因此定点滤波器的系数及各级计

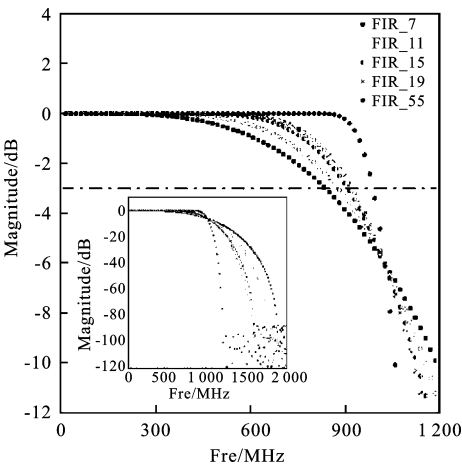


图 5 各阶 HB 滤波器频谱图

算器需要选取最优化精度.在 ADS 中通过对比浮点数与定点数的频谱响应,选择最优化 HB 滤波器各级计算器精度位宽,如表 1 所示.

表 1 HB 滤波器各级计算器位宽

滤波器阶数	输入	系数	累加器	输出
7	15	11	17	15
11	15	14	17	15
15	15	17	18	15
19	15	15	18	15
55	15	19	19	15

本文设计的数字下变频器嵌入于 4 GS/s-12 bit ADC 中实现,前级 ADC 输入数据为 12 bits 无符号数,通过扩展数据位宽,将数据转化为 16 bits 有符号数,输入数字下变频器进行数据处理.综合考虑算法复杂度、运行时钟频率约束和资源消耗等各方面考虑,提出一种 8 路多相滤波器结构实现数字下变频器,总采样率为 4 GHz,单路工作时钟 500 MHz.则在抽取因子为 4、8、16、32 的模式下,数字下变频器的输出数据采样率分别为 1 GHz、500 MHz、250 MHz、125 MHz.因此,当抽取因子为 2^n 时,在不引进异步时钟的前提下,可以有效节省一半的资源消耗.以抽取因子为 8 的模式为例,该算法介绍如下.

抽取因子为 8 模式下,输入信号采样率 4 GHz,输出信号采样率为 500 MHz.滤波器组由 11 阶、15 阶、55 阶 HB 滤波器级联实现.数字下变频器的输入信号,即 ADC 的采样输出信号为 $x(n), n \in Z^*$, $x(n), n \in Z^*$ 首先输入第一级 8 路 11 阶 HB 滤波器,第一级输出信号为

$$y_{11a}(n) = \sum_{k=n-a-10}^{n-a} x(n-k)h(k), n \in Z^*, a \in [0:7]$$

a 表示第一级 11 阶 HB 滤波器的编号.则相邻两路输出数据相同,对数据抽取操作,删去冗余 11

阶 HB 滤波器,输入到下一级数据采样率降低为 2 GHz,由 4 路 500 MHz 采样,输出数据表示为

$$y_{11b}(n) = \sum_{k=n-2b-10}^{n-2b} x(n-k)h(k), n \in Z^*, b \in [0:3]$$

b 表示抽取后第一级 11 阶 HB 滤波器编号. 数据进入第二级 15 阶 HB 滤波器并抽取冗余滤波器,输出信号为

$$y_{15c}(n) = \sum_{k=n-2c-14}^{n-2c} y_{11b}(n-k)h(k), n \in Z^*, c \in [0:1]$$

c 表示抽取后第二级 15 阶 HB 滤波器编号,输出数据采样率降低为 1 GHz,由 2 路 500 MHz 采样. 数据进入第三级 55 阶 HB 滤波器并抽取冗余滤波器,输出信号为

$$y_{55}(n) = \sum_{k=n-54}^n y_{15c}(n-k)h(k), n \in Z^*$$

输出数据采样率降低为 500 MHz,基于 500 MHz 时钟直接输出,整体结构实现抽取因子为 8 的数字下变频. 相比于全 FIR 滤波器级联的第 2 种结构实现滤波器组方法,实现 50%的资源节省.

在另外 3 种抽取因子下,滤波器级联结构需要有所调整.

抽取因子为 4:该模式下,由两级 HB 滤波器级联,将 8 路下变频降为 2 路 500 MHz 输出信号,经后级 serdes 将两路等相位差串行信号,转换为单路 1 GHz 采样的输出信号.

抽取因子为 16:该模式下,由四级 HB 滤波器级联,前三级级联将 8 路数据下变频为单路 500 MHz 输出信号,在进入最后一级滤波器级联时将 I/Q 两路 500 MH 信号,采用时分复用技术,用同一个 HB 滤波器实现抽取滤波,结合 250 MHz 时钟信号指示,高电平输出 I 路,低电平输出 Q 路. 在 500 MHz 采样时钟下显示输出信号为 $I_0 Q_1 I_2 Q_3 I_4 Q_5 \cdots$

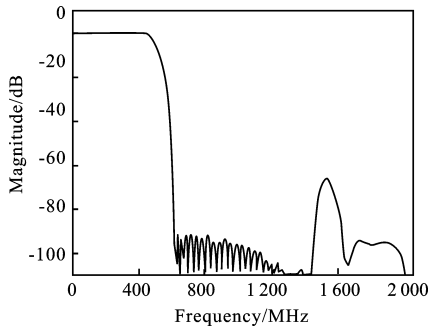
抽取因子为 32:该模式下,由五级 HB 滤波器级联,前 4 级参考抽取因子为 16 模式. 第 5 级对输入的 I/Q 路信号分别采样,结合 125 MHz 时钟信号指示,在 500 MHz 采样时钟下显示输出信号为 $I_0 I_0 Q_2 Q_2 I_4 I_4 Q_6 Q_6 \cdots$

以上四种抽取因子的不同模式下,全局使用同步 500 MHz 时钟实现,在抽取因子为 16 和 32 的模式下,增加一个 125 MHz 指示信号,参与逻辑计算,不会增加时钟问题,设计结构简单. 且四种不同抽取因子下,共享使用 HB 滤波器,相比于单独设计四种抽取因子滤波器节省资源开销.

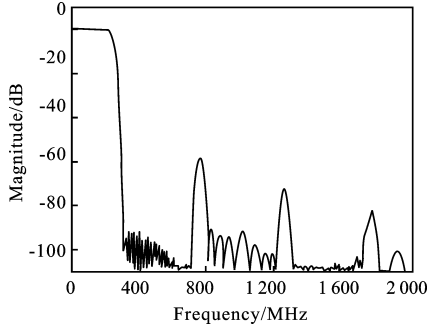
4 数字下变频器的硬件实现方法和实验结果

4.1 RTL 级硬件设计与仿真

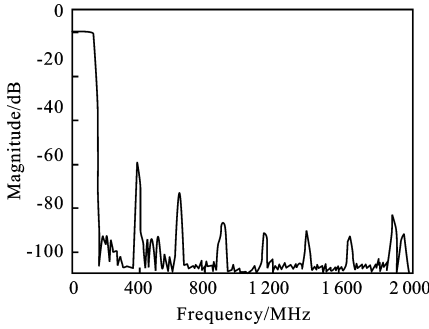
基于以上选择的实现结构方案,整体数字下变频器使用 Verilog HDL 设计实现,在 Modelsim 中对设计进行功能仿真验证,结合 Matlab 分析数字下变频器的四种抽取因子下的频谱,如图 6 所示.



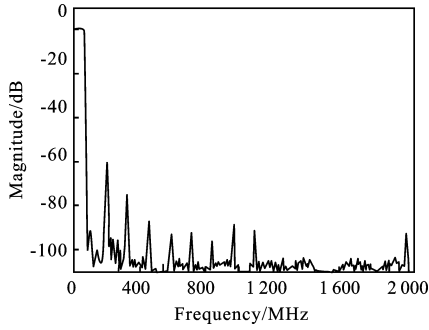
(a) decimation=4



(b) decimation=8



(c) decimation=16



(d) decimation=32

图 6 四种数字下变频器频谱图

如图 6 所示,四种抽取因子数字下变频器,在 4 GHz 的采样率下,通频带均具有良好的平坦度,若定义衰减小于 10^{-4} dB 为无衰减通频带,则抽取因子为 4、8、16、32 所对应的无衰减通频带带宽分别为 420、212、104、54 MHz,通带带宽满足设计要求;阻带衰减均低于 -80 dB,图中虽存在次波峰频谱响应超过 80 dB,在抽取滤波模式下均折叠到过渡带或者阻带,不会影响通带的性能,因此,设计的数字下变频器达到预期目标。

4.2 数字下变频器的 ASIC 设计与实现

数字下变频器基于 40 nm 工艺,在 Synopsys 公司的 Design Compiler 完成 RTL 级 Verilog HDL 的综合和静态时序分析,在 ICC 平台完成版图布局布线,设计通过电源压降、静态时序约束,DRC,LVS 检查等确保设计的数字下变频器完全符合 ASIC 设计要求。并进行版图后仿真,确认生成的 GDSII 版图可以实现预期设计的功能。输入信号频率 37 MHz,由 8×500 MHz 采样,抽取因子为 8 的模式下,输出信号频率 37 MHz。在时钟上升沿,输出信号满足 setup 和 hold 时序约束,稳定输出信噪比增益为 78.66 dB,满足设计要求。

数字下变频最终 GDSII 版图。在 Cadence 平台中嵌入于 4GS/s-12bit ADC 投版流片。版图面积: $1550 \times 650 \mu\text{m}^2$,在 0.9 V 工作电压下,Maxmium IR drop 分别为 VSS(8.53 mV),VDD(9.49 mV),均小于 5%;设置翻转率为 0.8(较坏情况考虑)时,仿真功率为 180.69 mW。

5 结束语

详细比较了现有的数字下变频实现方法的利弊,提出了一种改进的嵌入于 4 GS/s-12bit ADC 中的数字下变频器 ASIC 设计方法,文章详细讨论了实现单级 HB 滤波器时的各级计算器精度最优化确定方法,也提出了一种多种抽取因子数字下变频器集成时的资源共享率最大结构,在 40 nm 工艺下完成版图设计与仿真,仿真结果显示:该数字下变频器可以实现对 4G-16 bits 输入信号的抽取因子为 4、8、16、32 的抽取滤波功能,占用面积 $1550 \times 650 \mu\text{m}^2$,仿真功率为 180.69 mW。该设计方法为解决 5 G 通信时代超高速高精度 ADC 与后级低速 DSP 处理器之间的矛盾提供了一种更好的方案。

参考文献:

- [1] 张尊,李绍荣. 基于改进的 CORDIC 算法的 NCO 实现[J]. 信息通信,2009,22(4):11-13
- [2] 李飞. 数字控制振荡器(NCO)的 FPGA 实现[J]. 电子元器件应用,2010,11(11): 42-44
- [3] Zhao Kongrui, Zhang Chao. A polyphase digital down converter method for GHz high speed sampling signal [C]//2015 IEEE 12th International Conference on Electronic Measurement & Instruments. Honolulu, Hawaii, USA,2015:907-910
- [4] Sudhir Rao Rupanagudi, Chandrika B V. Design of a low power digital down converter for 802.16m-4G WIMAX on FPGA [C]//International Conference on Advances in Computing, Kollam, Kerala, India, IEEE, 2014:2303-2308
- [5] Rashmi M Mani, Abdul Imran Rasheed. Design and implementation of WDF for digital down converter on FPGA for LTE application [C]//2014 International Conference on Advances in Electronics, Computers and Communications(ICAEECC). [S. l.]. 2014
- [6] Hanyu Wang, Jinxiang Wang, Fangfa Fu. An efficient low-cost fixed-point digital down converter with modified filter bank [C]//2013 IEEE 10th International Conference on ASIC(ASICON 2013). Shenzhen, China, 2013.
- [7] Zhuo Zhihai, Li Shange, Zhang Zechao. Implementation of high-performance multi-structure digital down converter based on FPGA [C]//ICSP2012 Proceedings. Beijing, China,2012:31-35.

作者简介:

薛金鑫 男,(1993-),硕士研究生.研究方向为数模混合集成电路设计。

马崇鹤 男,(1990-),硕士,助理研究员.研究方向为大规模数字集成电路设计。

周磊 男,(1986-),博士,副研究员.研究方向为数模混合集成电路设计。

吴旦昱 男,(1985-),博士,副研究员.研究方向为数模混合集成电路设计。

武锦(通讯作者) 女,(1978-),博士,研究员.研究方向为数模混合集成电路设计。E-mail:wujin@ime.ac.cn.